

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT COOPERATION TREATY

NOTIFIED
PCT

NOTIFICATION OF THE RECORDING
OF A CHANGE

(PCT Rule 92bis.1 and
Administrative Instructions, Section 422)

From the INTERNATIONAL BUREAU

To:

OSUGA, Yoshiyuki
3rd Fl., Nibancho Bldg.
8-20, Nibancho
Chiyoda-ku, Tokyo 102-0084
JAPON

Date of mailing (day/month/year) 15 November 2001 (15.11.01)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference E01262/1T503	
International application No. PCT/JP01/03524	International filing date (day/month/year) 24 April 2001 (24.04.01)

1. The following indications appeared on record concerning:

☒ the applicant ☐ the inventor ☐ the agent ☐ the common representative

Name and Address KABUSHIKI KAISHA TOYOTA JIDOSHOKKI SEISAKUSHO 2-1, Toyoda-cho Kariya-shi, Aichi 448-8671 Japan	State of Nationality JP	State of Residence JP
	Telephone No.	
	Facsimile No.	
	Teleprinter No.	

2. The International Bureau hereby notifies the applicant that the following change has been recorded concerning:

☐ the person ☒ the name ☐ the address ☐ the nationality ☐ the residence

Name and Address KABUSHIKI KAISHA TOYOTA JIDOSHOKKI 2-1, Toyoda-cho Kariya-shi, Aichi 448-8671 Japan	State of Nationality JP	State of Residence JP
	Telephone No.	
	Facsimile No.	
	Teleprinter No.	

3. Further observations, if necessary:

4. A copy of this notification has been sent to:

☒ the receiving Office ☒ the designated Offices concerned
☐ the International Searching Authority ☐ the elected Offices concerned
☐ the International Preliminary Examining Authority ☐ other:

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer Yukari NAKAMURA
Facsimile No.: (41-22) 740.14.35	Telephone No.: (41-22) 338.83.38

THIS PAGE BLANK (USPTO)

PATENT COOPERATION TREATY

UNCLASSIFIED
VERSION
PCT

From the INTERNATIONAL BUREAU

NOTIFICATION OF THE RECORDING
OF A CHANGE(PCT Rule 92bis.1 and
Administrative Instructions, Section 422)

To:

OSUGA, Yoshiyuki
3rd Fl., Nibancho Bldg.
8-20, Nibancho
Chiyoda-ku, Tokyo 102-0084
JAPON

Date of mailing (day/month/year) 26 November 2001 (26.11.01)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference E01262/1T503	
International application No. PCT/JP01/03524	International filing date (day/month/year) 24 April 2001 (24.04.01)

1. The following indications appeared on record concerning:

☒ the applicant ☒ the inventor ☐ the agent ☐ the common representative

Name and Address

1)MAENO, Kazuhiro, 2)KONO, Eiji
c/o KABUSHIKI KAISHA TOYODA
JIDOSHOKKI SEISAKUSHO
2-1, Toyoda-cho
Kariya-shi, Aichi 448-8671
Japan

State of Nationality

JP

State of Residence

JP

Telephone No.

Facsimile No.

Teleprinter No.

2. The International Bureau hereby notifies the applicant that the following change has been recorded concerning:

☐ the person ☐ the name ☒ the address ☐ the nationality ☐ the residence

Name and Address

1)MAENO, Kazuhiro, 2)KONO, Eiji
c/o KABUSHIKI KAISHA TOYOTA
JIDOSHOKKI
2-1, Toyoda-cho
Kariya-shi, Aichi 448-8671
Japan

State of Nationality

JP

State of Residence

JP

Telephone No.

Facsimile No.

Teleprinter No.

3. Further observations, if necessary:

4. A copy of this notification has been sent to:

☒ the receiving Office ☒ the designated Offices concerned
☐ the International Searching Authority ☐ the elected Offices concerned
☐ the International Preliminary Examining Authority ☐ other:

<p>The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland</p> <p>Facsimile No.: (41-22) 740.14.35</p>	<p>Authorized officer</p> <p>Yukari NAKAMURA</p> <p>Telephone No.: (41-22) 338.83.38</p>
--	--

THIS PAGE BLANK (USPTO)

PATENT COOPERATION TREATY

NOTIFICATION OF THE RECORDING
OF A CHANGE(PCT Rule 92bis.1 and
Administrative Instructions, Section 422)

From the INTERNATIONAL BUREAU

To:

OSUGA, Yoshiyuki
3rd Fl., Nibancho Bldg.
8-20, Nibancho
Chiyoda-ku, Tokyo 102-0084
JAPON

Date of mailing (day/month/year) 15 November 2001 (15.11.01)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference E01262/1T503	
International application No. PCT/JP01/03524	International filing date (day/month/year) 24 April 2001 (24.04.01)

1. The following indications appeared on record concerning:

☒ the applicant ☒ the inventor ☐ the agent ☐ the common representative

Name and Address

1)MAENO, Kazuhiro, 2)KONO, Eiji
c/o KABUSHIKI KAISHA TOYOTA
JIDOSHOKKI SEISAKUSHO
2-1, Toyoda-cho
Kariya-shi, Aichi 448-8671
Japan

State of Nationality

JP

State of Residence

JP

Telephone No.

Facsimile No.

Teleprinter No.

2. The International Bureau hereby notifies the applicant that the following change has been recorded concerning:

☐ the person ☐ the name ☒ the address ☐ the nationality ☐ the residence

Name and Address

1)MAENO, Kazuhiro, 2)KONO, Eiji
c/o KABUSHIKI KAISHA TOYOTA
JIDOSHOKKI
2-1, Toyoda-cho
Kariya-shi, Aichi 448-8671
Japan

State of Nationality

JP

State of Residence

JP

Telephone No.

Facsimile No.

Teleprinter No.

3. Further observations, if necessary:

4. A copy of this notification has been sent to:

☒ the receiving Office ☒ the designated Offices concerned
☐ the International Searching Authority ☐ the elected Offices concerned
☐ the International Preliminary Examining Authority ☐ other:
The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No.: (41-22) 740.14.35

Authorized officer

Yukari NAKAMURA

Telephone No.: (41-22) 338.83.38

THIS PAGE BLANK (USPTO)

U S

P C T

国際調査報告

(法 8 条、法施行規則第40、41条)
〔PCT 18 条、PCT 規則43、44〕

出願人又は代理人 E 0 1 2 6 2 / の書類記号 1 T 5 0 3	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記 5 を参照すること。	
国際出願番号 PCT/J P 0 1 / 0 3 5 2 4	国際出願日 (日.月.年) 2 4 . 0 4 . 0 1	優先日 (日.月.年) 2 5 . 0 4 . 0 0
出願人 (氏名又は名称) 株式会社豊田自動織機製作所		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (PCT 18 条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第 III 欄に示されているように、法施行規則第47条 (PCT 規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 6 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L 25/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L 25/04

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

Fターム・システム (Japan Patent Office)

WPI/L (Dialog)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 11-74433, A (株式会社東芝) 16. 3月. 1999 (16. 03. 99) 図1 & US, 6060772, A	1-10
Y	J P, 7-58272, A (オリジン電気株式会社) 3. 3月. 1995 (03. 03. 95) 図1, 公報段落【0013】 - 【0015】 (ファミリーなし)	1-10
Y	J P, 10-41460, A (富士電機株式会社) 13. 2月. 1998 (13. 02. 98) 図5, 公報段落【0025】, 【0026】 (ファミリーなし)	1-10

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

27. 06. 01

国際調査報告の発送日

10.07.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

川真田 秀男



4 R

7220

電話番号 03-3581-1101 内線 3470

THIS PAGE BLANK (USPTO)

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 11 月 1 日 (01.11.2001)

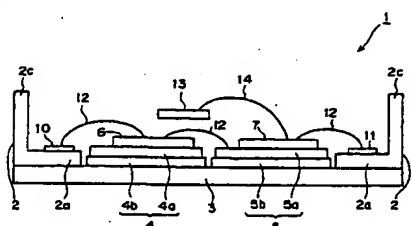
PCT

(10) 国際公開番号
WO 01/82376 A1

- (51) 国際特許分類⁷: H01L 25/04 (72) 発明者; および
(21) 国際出願番号: PCT/JP01/03524 (75) 発明者/出願人 (米国についてのみ): 前野一弘
(22) 国際出願日: 2001 年 4 月 24 日 (24.04.2001) (MAENO, Kazuhiro) [JP/JP]. 河野栄次 (KONO, Eiji)
(25) 国際出願の言語: 日本語 [JP/JP]; 〒448-8671 愛知県刈谷市豊田町2丁目1番地
(26) 国際公開の言語: 日本語 株式会社 豊田自動織機内 Aichi (JP).
(30) 優先権データ: 特願2000-124447 2000 年 4 月 25 日 (25.04.2000) JP (74) 代理人: 大菅義之 (OSUGA, Yoshiyuki); 〒102-0084 東
添付公開書類: 京都千代田区二番町8番地20 二番町ビル3階 Tokyo
— 国際調査報告書 (JP).
(71) 出願人 (米国を除く全ての指定国について): 株式会社 豊田自動織機 (KABUSHIKI KAISHA TOYODA
2 文字コード及び他の略語については、定期発行される JIDOSHOKKI) [JP/JP]; 〒448-8671 愛知県刈谷市豊田
各 PCT ガゼットの巻頭に掲載されている「コードと略語
町2丁目1番地 Aichi (JP). のガイドンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A heat-conducting base plate (3) is formed on the bottom of a power module (1). A substrate (4) and a substrate (5) are arranged on the upper surface of the base plate (3), and a semiconductor element (6) and a semiconductor element (7) are arranged on the upper surfaces of the substrate (4) and the substrate (5), respectively. The semiconductor elements (6, 7) are enclosed in a resin case (2). Using the resin case (2), a source electrode (13) is separated vertically from the semiconductor elements (6, 7). The source electrode (13) and the source of the semiconductor element (7) are connected together by wire bonding.

(57) 要約:

パワーモジュール (1) の底面に、板状の伝熱ベース板 (3) が設けられている。伝熱ベース板 (3) の上面に基板 (4) および基板 (5) が配置され、基板 (4) および基板 (5) の上面にそれぞれ半導体素子 (6) および半導体素子 (7) が配列されている。半導体素子 (6、7) は、樹脂ケース (2) により囲まれている。ソース電極 (13) は、樹脂ケース (2) を利用して、半導体素子 (6、7) から離間してその上方に取り付けられる。ソース電極 (13) と半導体素子 (7) のソースとの間には、ワイヤボンディングにより接続される。

THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/03524

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L 25/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L 25/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
F-TERM SYSTEM (Japan Patent Office)

WPI/L (Dialog)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 11-74433, A (Toshiba Corporation), 16 March, 1999 (16.03.99), Fig. 1 & US, 6060772, A	1-10
Y	JP, 7-58272, A (Origin Electric Co., Ltd.), 03 March, 1995 (03.03.95), Fig. 1; Par. Nos. [0013] to [0015] (Family: none)	1-10
Y	JP, 10-41460, A (Fuji Electric Co., Ltd.), 13 February, 1998 (13.02.98), Fig. 5; Par. Nos. [0025], [0026] (Family: none)	1-10

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 June, 2001 (27.06.01)Date of mailing of the international search report
10 July, 2001 (10.07.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 11 月 1 日 (01.11.2001)

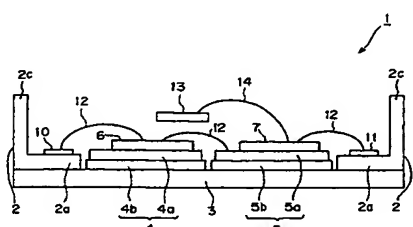
PCT

(10) 国際公開番号
WO 01/82376 A1

- (51) 国際特許分類⁷: H01L 25/04 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 前野一弘
(21) 国際出願番号: PCT/JP01/03524 (MAENO, Kazuhiro) [JP/JP]. 河野栄次 (KONO, Eiji)
[JP/JP]; 〒448-8671 愛知県刈谷市豊田町2丁目1番地
(22) 国際出願日: 2001 年 4 月 24 日 (24.04.2001) 株式会社 豊田自動織機内 Aichi (JP).
(25) 国際出願の言語: 日本語 (74) 代理人: 大菅義之 (OSUGA, Yoshiyuki); 〒102-0084 東
京都千代田区二番町8番地20 二番町ビル3階 Tokyo
(JP).
(26) 国際公開の言語: 日本語 (81) 指定国 (国内): DE, JP, US.
(30) 優先権データ: 特願2000-124447 2000 年 4 月 25 日 (25.04.2000) JP 添付公開書類:
— 国際調査報告書
(71) 出願人 (米国を除く全ての指定国について): 株式 2 文字コード及び他の略語については、定期発行される
会社 豊田自動織機 (KABUSHIKI KAISHA TOYODA 各PCTガゼットの巻頭に掲載されている「コードと略語
JIDOSHOKKI) [JP/JP]; 〒448-8671 愛知県刈谷市豊田 のガイドスノート」を参照。
町2丁目1番地 Aichi (JP).

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A heat-conducting base plate (3) is formed on the bottom of a power module (1). A substrate (4) and a substrate (5) are arranged on the upper surface of the base plate (3), and a semiconductor element (6) and a semiconductor element (7) are arranged on the upper surfaces of the substrate (4) and the substrate (5), respectively. The semiconductor elements (6, 7) are enclosed in a resin case (2). Using the resin case (2), a source electrode (13) is separated vertically from the semiconductor elements (6, 7). The source electrode (13) and the source of the semiconductor element (7) are connected together by wire bonding.

(57) 要約:

パワーモジュール (1) の底面に、板状の伝熱ベース板 (3) が設けられている。伝熱ベース板 (3) の上面に基板 (4) および基板 (5) が配置され、基板 (4) および基板 (5) の上面にそれぞれ半導体素子 (6) および半導体素子 (7) が配列されている。半導体素子 (6、7) は、樹脂ケース (2) により囲まれている。ソース電極 (13) は、樹脂ケース (2) を利用して、半導体素子 (6、7) から離間してその上方に取り付けられる。ソース電極 (13) と半導体素子 (7) のソースとの間は、ワイヤボンディングにより接続される。

WO 01/82376 A1

THIS PAGE BLANK (USPTO)

明細書

半導体装置

技術分野

- 5 本発明は、複数個のトランジスタを内蔵する半導体装置に係わり、特に、その半導体装置の内部の配線構造に係わる。

背景技術

- 10 昨今、電子機器の小型化の流れの中で、発熱の大きな半導体素子を複数個内蔵するパワーモジュールをより小さな体躯で構成した半導体装置が要求されている。

- 以下、図1および図2を参照しながら、既存の半導体装置（パワーモジュール）について説明する。パワーモジュール51は、複数の半導体素子を含み、その底面には伝熱性部材として軽量で伝熱性が高いセラミック材を板状に形成した伝熱ベース板52が取り付けられている。

- 伝熱ベース板52の上面には、基板55および基板56が設けられている。基板55は、導体層55aおよび絶縁層55bから構成されており、絶縁層55bが伝熱ベース板52に接合している。一方、基板56は、導体層56aおよび絶縁層56bから構成されており、絶縁層56bが伝熱ベース板52に接合している。そして、導体層55aの上面には複数の半導体素子57が設けられており、一方、導体層56aの上面には複数の半導体素子58が設けられている。ここで、半導体素子57および58は、それぞれMOSFETである。また、各半導体素子57および58の一方の面にはMOSFETのドレインが形成されており、他方の面にはMOSFETのソース及びゲートが形成されている。そして、各半導体素子57のドレインが基板55の導体層55aに接触

しており、各半導体素子 5 8 のドレインが基板 5 6 の導体層 5 6 a に接触している。

伝熱ベース板 5 2 の上面の中央領域には、基板 5 3 が設けられている。基板 5 3 は、導体層 5 3 a および絶縁層 5 3 b から構成されており、絶縁層 5 3 b
5 が伝熱ベース板 5 2 に接合されている。そして、ソースドレイン電極 5 4 が導体層 5 3 a に接続されている。

基板 5 5、5 6、5 3（および、半導体素子 5 7、5 8）は、樹脂ケース 5 9 により取り囲まれている。なお、樹脂ケース 5 9 には、ドレイン電極 6 0、ソース電極 6 1、ゲート電極 6 2、6 3 が取り付けられている。そして、樹脂
10 ケース 5 9 は、伝熱ベース板 5 2 に固定されている。

なお、図 1 または図 2 に示すように、ドレイン電極 6 0 と基板 5 5 の導体層 5 5 a との間、各半導体素子 5 7 のソースと基板 5 3 の導体層 5 3 a との間、導体層 5 3 a と基板 5 6 の導体層 5 6 a との間、各半導体素子 5 8 のソースとソース電極 6 1 との間、各半導体素子 5 7 のゲートとゲート電極 6 2 との間、
15 および各半導体素子 5 8 のゲートとゲート電極 6 3 との間は、それぞれワイヤボンディングにより接続されている。

上記の構成の半導体装置において、パワーモジュール 5 1 の上面領域の大部分を占める基板 5 3、5 5、5 6 を小さく形成すれば、より小型のパワーモジュールを製作することが可能である。しかし、基板 5 3 は、ワイヤボンディングのために必要な領域およびソースドレイン電極 5 4 を設けるための領域を確保する必要がある。また、パワーモジュール 5 1 の大容量化を図るためには、半導体素子 5 7、5 8 の数を増やす必要があり、それに伴って基板 5 5、5 6 を所定サイズよりも大きく形成する必要がある。したがって、基板 5 3、5 5、5 6 のサイズを小さく形成することには限界があった。すなわち、パワーモジュール等の半導体装置のサイズを小さくすることは、容易ではなかった。
25

発明の開示

本発明は、上述の問題点に鑑みてなされたものであって、複数の半導体素子を備え、小さい体躯で構成された半導体装置を提供することを目的とする。

- 5 本発明の半導体装置は、基板上に搭載される複数の半導体素子と、前記基板表面に対して直角の方向にかつ前記半導体素子近傍から離間して配置される主電流用電極とを備え、前記半導体素子のそれぞれと前記主電流用電極が電氣的に接続される。この構成によれば、前記半導体素子と前記主電流用電極とは互いに重なった位置に配置されるため、装置全体のサイズを縮小できる。

- 10 上記半導体装置において、前記半導体素子のそれぞれと前記主電流用電極とがワイヤにより接続されるようにしてもよい。この構成によれば、ヒートサイクルの繰返しにより生じる導体接合の乖離の発生が少ない。

- 15 また、上記構成において、前記半導体素子はスイッチング素子であってもよい。この構成によれば、前記半導体装置を用いてスイッチング動作を行う回路を構成できる。

さらに、上記構成において、前記半導体装置は、底部に伝熱性部材を備え、前記半導体素子が該伝熱性部材に熱的に接合されるようにしてもよい。この構成によれば、前記伝熱性部材を介して前記半導体素子から発生する熱が前記半導体装置の外部に放熱される。

- 20 さらに、上記構成において、前記伝熱性部材をセラミック材で形成してもよい。この構成によれば、半導体装置の軽量化が図れる。

- 本発明の他の形態の半導体装置は、1または複数の半導体素子を含む半導体装置であって、上記半導体素子が配置された基板と、上記半導体素子を取り囲むようにして上記基板に対して固定的な位置に配置されるケースと、上記半導体素子の主電流のための電極および当該半導体装置と当該半導体装置の外部の
- 25

回路とを電氣的に接続するための端子が一体的に形成されている金属部材を有し、上記金属部材が上記ケースを利用して上記基板から離間した位置に配置される。この構成によれば、電極と端子とを接続する作業が不要になるので、半導体装置の製造工程が簡単になる。

5

図面の簡単な説明

図 1 は、既存の半導体装置の内部を上方から見た図である。

図 2 は、図 1 に示す半導体装置の B－B 断面図である。

図 3 は、実施形態の半導体装置の中に形成される回路を示す図である。

10 図 4 は、実施形態の半導体装置の概略構成を示す図である。

図 5 A は、ソース電極が取り付けられていない状態の半導体装置の内部を上方から見た図である。

図 5 B は、ソース電極が取り付けられた状態の半導体装置の内部を上方から見た図である。

15 図 6 は、図 5 B に示す半導体装置の X－X 断面図である。

図 7 は、図 5 B に示す半導体装置の Y－Y 断面図である。

図 8 は、樹脂ケースの一部を示す図である。

図 9 は、本発明の他の実施形態の半導体装置の斜視図である。

20 発明を実施するための最良の形態

以下、図面を参照しながら本発明の実施形態について説明する。なお、本実施形態の半導体装置は、複数の半導体素子を含むパワーモジュールである。

図 3 は、本実施形態の半導体装置の中に形成される回路を示す図である。図 3 に示す回路は、互いに直列に接続される 1 組のトランジスタ Q 1 および Q 2
25 から構成されている。以下では、トランジスタ Q 1 のドレインをドレイン D 1、

トランジスタQ1のゲートを第1のゲートG1、トランジスタQ2のゲートを第2のゲートG2、トランジスタQ2のソースをソースS2、及びトランジスタQ1とトランジスタQ2との接続点をソースドレインS1D2と呼ぶことにする。なお、トランジスタQ1およびQ2は、それぞれ互いに並列に接続される複数のMOSFETから構成される。

上記回路において、トランジスタQ1をオン状態に制御すると共に、トランジスタQ2をオフ状態に制御すれば、主電流は、ドレインD1からトランジスタQ1を介してソースドレインS1D2へ流れる。また、トランジスタQ1をオフ状態に制御すると共に、トランジスタQ2をオン状態に制御すれば、主電流は、ソースドレインS1D2からトランジスタQ2を介してソースS2へ流れる。

図4は、実施形態の半導体装置の概略構成を示す図である。半導体装置としてのパワーモジュール1は、複数の半導体素子が設けられている基板4、5、上記複数の半導体素子を取り囲むようにして伝熱ベース板3に固定される樹脂ケース2、および樹脂ケース2に取り付けられるソース電極13などから構成される。なお、基板4、5の上面に設けられる複数の半導体素子は、適切に接続されることにより図3に示した回路を構成する。また、樹脂ケース2には、不図示のソースドレイン電極、ドレイン電極、ゲート電極が設けられており、それらの電極は、対応する領域に電気的に接続される。更に、ソース電極13は、後で詳しく説明するが、図3に示すソースS2に電気的に接続される。

図5Aは、ソース電極13が取り付けられていない状態のパワーモジュール1の内部を上方から見た図である。また、図5Bは、ソース電極13が取り付けられた状態のパワーモジュール1の内部を上方から見た図である。さらに、図6は、図5Bに示すパワーモジュールのX-X断面図であり、図7は、図5Bに示すパワーモジュールのY-Y断面図である。

伝熱ベース板 3 は、例えば、熱伝導性のよいセラミック板であり、複数の半導体素子を配置するための基板であると同時に、半導体素子において発生する熱を逃がすための役割を果たす。なお、セラミック板は、例えば、C-A 1 を組成とするセラミックを利用することができる。また、伝熱ベース板 3 は、必ずしもセラミックである必要はなく、銅板やアルミ板などの金属板を用いてもよい。

伝熱ベース板 3 の上面の中央領域には、基板 4 および基板 5 が配置されている。基板 4 および基板 5 は、それぞれ長方形の板形状であり、それぞれの長手方向の縁が互いに隣接するように平行に配置されている。ここで、基板 4 は、
10 導体層 4 a および導体層 4 a と伝熱ベース板 3 とを電氣的に絶縁する絶縁層 4 b から構成されている。一方、基板 5 は、導体層 5 a および導体層 5 a と伝熱ベース板 3 とを電氣的に絶縁する絶縁層 5 b から構成されている。

導体層 4 a の表面には、複数の半導体素子 6 が基板 4 の長手方向に沿って配列されている。ここでは、導体層 4 a の表面に 4 個の半導体素子 6 が設けられている。なお、半導体素子 6 は、MOS F E T が形成された半導体チップであり、そのチップの上面には MOS F E T のソースおよびゲートが形成されており、その底面にはドレインが形成されている。そして、各半導体素子 (MOS F E T) 6 のドレインがそれぞれ導体層 4 a と導通している。同様に、基板 5 の上面には、4 個の半導体素子 7 のドレインがそれぞれ導体層 5 a に導通するように配列されている。なお、半導体素子 7 は、半導体素子 6 と同じ MOS F E T である。

樹脂ケース 2 は、伝熱ベース板 3 に取り付けられたときに基板 4 および基板 5 (半導体素子 6、7 を含む) を取り囲む部材であり、底部 2 a、枠部 2 c、台座部 2 d から構成されている。底部 2 a は、伝熱ベース板 3 と接触する部分
25 であり、その外周の形状は、伝熱ベース板 3 の外周とほぼ同一の形状である。

また、底部 2 a の中央領域には、伝熱ベース板 3 の表面に基板 4 及び基板 5 を配置するための領域よりもやや大きいサイズの穴 2 b が形成されている。

5 梃部 2 c は、底部 2 a の外周領域に沿ってその底部 2 a に対して垂直方向に伸びるように形成されている。すなわち、梃部 2 c は、樹脂ケース 2 が伝熱ベース板 3 に取り付けられたときにその伝熱ベース板 3 の外周に位置することになる。なお、梃部 2 c は、パワーモジュール 1 を上方から見た場合、図 5 A または図 5 B に示すように、伝熱ベース板 3 の外周に沿って直線状に形成されているが、底部 2 a の角部においては、底部 2 a の各頂点を中心とする円弧形状に形成されている。

10 1 組の台座部 2 d は、図 5 A または図 5 B に示すように、梃部 2 c の内壁に沿って互いに対向する位置に設けられている。台座部 2 d の一例の一部を図 8 に示す。また、台座部 2 d の高さ h は、図 7 に示すように、樹脂ケース 2 が伝熱ベース板 3 に取り付けられたときの回路部品（基板 4、5、半導体素子 6、7 など）の高さよりも高くなるように形成されている。なお、台座部 2 d は、
15 底部 2 a および梃部 2 c と一体的に形成されてもよいし、それらと個別に形成されるようにしてもよい。

底部 2 a の上面であって基板 4 に隣接する位置にはドレイン電極 8 が配置されており、底部 2 a の上面であって基板 5 に隣接する位置にはソースドレイン電極 9 が配置されている。尚、ドレイン電極 8 及びソースドレイン電極 9 は、
20 それぞれ基板 4 及び基板 5 の短辺方向の縁の長さと同等の長さの銅板である。

底部 2 a の上面であって基板 4 の長手方向に沿った位置に、第 1 のゲート電極 10 が配置されている。また、底部 2 a の上面であって基板 5 の長手方向に沿った位置に、第 2 のゲート電極 11 が配置されている。第 1 のゲート電極 10 および第 2 のゲート電極 11 は、基板 4 および基板 5 の長手方向の縁の長さ
25 と同等の長さの銅板である。

主電流用電極の1つであるソース電極13は、例えば銅板であり、図5Bまたは図7に示すように、1組の台座部2dに取り付けられる。即ち、ソース電極13は、1組の台座部2dを架橋する。ここで、台座部2dの高さhは、伝熱ベース板3の上面に設けられている回路部品（基板4、5、半導体素子6、7等）の高さよりも高い。したがって、ソース電極13は、伝熱ベース板3の上面に設けられている回路部品（基板4、5、半導体素子6、7等）の上を跨ぐことになる。換言すれば、ソース電極13の直下の領域に、回路を配置することができる。ここで、「回路」とは、半導体素子またはその半導体素子に接続する配線パターンをいい、配線パターンは、導体層4a、5aを含む。この結果、伝熱ベース板3の上面の樹脂ケース2に囲まれた領域を有効に利用することができる。

各半導体領域と各電極との間の電氣的な接続は、以下の通りである。すなわち、ドレイン電極8と基板4の導体層4aとの間、各半導体素子6のソースと基板5の導体層5aとの間、その導体層5aとソースドレイン電極9との間、各半導体素子6のゲートと第1のゲート電極10との間、および各半導体素子7のゲートと第2のゲート電極11との間が、それぞれワイヤボンディング12により接続される。さらに、各半導体素子7のソースとソース電極13との間がワイヤボンディング14により接続される。

ドレイン電極8は、パワーモジュール1のドレインD1と外部の回路（電源または負荷など）とを接続するための端子である不図示のドレイン端子に接続される。同様に、ソースドレイン電極9は、パワーモジュール1のソースドレインS1D2と外部の回路とを接続するための端子である不図示のソースドレイン端子に接続される。また、ソース電極13は、パワーモジュール1のソースS2と外部の回路とを接続するための端子である不図示のソース端子に接続される。一方、第1のゲート電極10は、各半導体素子6を制御するためのゲ

ート信号を受信する不図示の第1のゲート端子に接続されており、第2のゲート電極11は、各半導体素子7を制御するためのゲート信号を受信する不図示の第2のゲート端子に接続されている。

図5～図7に示したパワーモジュール1と、図3に示した回路との対応関係は以下の通りである。すなわち、半導体素子6に形成されたMOSFETはトランジスタQ1に相当し、半導体素子7に形成されたMOSFETはトランジスタQ2に相当する。また、ドレインD1はパワーモジュール1のドレイン電極8（または、不図示のドレイン端子）に対応し、ソースS2はソース電極13（または、不図示のソース端子）に対応し、ソースドレインS1D2はソースドレイン電極9（または、不図示のソースドレイン端子）に対応する。さらに、ゲートG1はパワーモジュール1の第1のゲート電極10（または、不図示の第1のゲート端子）に対応し、ゲートG2は第2のゲート電極11（または、不図示の第2のゲート端子）に対応する。

上記パワーモジュール1は、例えば、以下のようにして利用される。即ち、ドレインD1及びソースS2は、それぞれ直流電源の正極および負極に接続される。また、ゲートG1及びゲートG2は、それぞれ対応するゲート信号を生成する制御回路に接続される。さらに、ソースドレインS1D2には、このパワーモジュール1を介して電力を供給すべき負荷が接続される。そして、ゲートG1に対して所定の制御電圧を印加すると、トランジスタQ1がオン状態（ドレインD1とソースドレインS1D2とが導通）になる。一方、ゲートG2に対して所定の制御電圧を印加すると、トランジスタQ2がオン状態（ソースドレインS1D2とソースS2とが導通）になる。したがって、ゲートG1およびゲートG2に対して交互に所定の制御電圧を印加することにより、トランジスタQ1およびQ2が交互にオン状態になり、この結果、ソースドレインS1D2から負荷に対して制御電圧に応じた交流電圧が供給されることになる。

パワーモジュール 1 に電源および負荷が接続され、第 1 のゲート電極 10 および第 2 のゲート電極 11 に制御電圧が印加されると、負荷に供給される電流が半導体素子 6、7 を経由して流れるため、半導体素子 6、7 が発熱する。このとき、半導体素子 6、7 により生じた熱は、基板 4、5 から伝熱ベース板 3 に伝わり、パワーモジュール 1 の外部に放熱される。

図 9 は、本発明の他の実施形態の半導体装置の斜視図である。この実施例の半導体装置の基本構造は、図 4 ～図 8 に示した半導体装置と同じである。ただし、図 4 ～図 8 に示した半導体装置では、樹脂ケース 2 の内壁に沿って 1 組の台座部 2d を設け、その台座部 2d を利用して架橋電極（実施例では、ソース電極 13）を樹脂ケース 2 に固定するのに対し、この実施例の半導体装置においては、架橋電極は、枠部 2c を利用して樹脂ケース 2 に固定される。具体的には、架橋電極 21 が樹脂ケース 2 の枠部 2c にネジ止めされている。したがって、この実施例の半導体装置では、台座部 2d を設ける必要がないので、樹脂ケース 2 の内側のスペースが広がる。換言すれば、半導体素子等を配置する領域の面積が同じであるとする、図 4 ～図 8 に示した構成よりも、この実施例の構成の方が、モジュール自体のサイズを小さくできる。

また、図 9 に示す半導体装置では、架橋電極 21 および外部端子 22 が 1 つの金属部材により一体的に形成されている。架橋電極 21 は、半導体素子の主電流を流すための主電流用電極であり、例えば、ソース電極である。また、外部端子 22 は、この半導体装置内に形成されている回路（半導体素子を含む）と、この半導体装置の外部に設けられている回路（電源、負荷を含む）とを接続するための端子であり、例えば、ソース端子である。従って、この半導体装置では、架橋電極と外部端子とを電氣的に接続する作業が不要であり、半導体装置の組立て工程が簡単になる。なお、この半導体装置を外部の回路に接続するためには、例えば、バスバー等を直接的に外部端子 22 に接続すればよい。

上述の実施形態の半導体装置は、以下の効果を有する。

- (1) 伝熱ベース板 3 の上面にソースドレイン端子を接続するための基板を設けることなく半導体装置を構成したので、パワーモジュール 1 の体躯が小さくなる。
 - 5 (2) パワーモジュール 1 の体躯が小さくなり、その内部の電流経路が短縮されるので、装置内部のインダクタンスが低減し、内部サージが低減する。よって、より大きな容量に対応するパワーモジュールを構成できる。
 - (3) 半導体装置の上面寸法を小さく形成したことにより、高価なセラミック材で形成された伝熱ベース板 3 も小さく形成できるので、パワーモジュール
10 を製造するための部品コストを低減できる。
 - (4) 架橋電極 2 1 および外部端子 2 2 が一体的に形成されるので、所望の位置に外部端子を設けることができるようになり、半導体素子と外部端子との間の距離を短くできる。また、半導体装置の組立作業の手間が少なくなる。
 - (5) 架橋電極を樹脂ケース 2 の枠部 2 c に固定するようにすれば、台座部
15 2 d を設ける必要がないので、樹脂ケース 2 の内側のスペースが広がる。換言すれば、モジュールのサイズをより小型化できる。
- なお、本発明の半導体装置は、上述の実施例に示した形態に限定されるものでなく、例えば、次のような構成であってもよい。
- (a) 台座部 2 d は、ソース電極 1 3 を固定するために必要な上面寸法を確保
20 できる範囲であれば、任意の形状に形成してもよい。
 - (b) 台座部 2 d は、樹脂ケース 2 と一体的に形成される必要はなく、樹脂ケースと独立して作成した後にその樹脂ケースに接合されるようにしてもよい。この場合、台座は樹脂ケースと異なる材質で形成してもよい。
 - (c) 半導体素子は、一方の面に MOS F E T のドレインを形成し、他方の面
25 にソース及びゲートを形成した構成に限定されるものではない。例えば、半導

体チップの一方の面にドレイン、ソース及びゲートを形成し、各半導体領域と対応する電極との間をそれぞれワイヤボンディングで接続する構成としてもよい。この場合、基板4、5は絶縁層のみから成る構成とすることができる。

(d) 並列に接続する半導体素子の個数は、所要の電力容量に応じて選択して
5 もよい。

(e) 半導体装置は、1組のスイッチング素子から構成される回路モジュールに限らず、例えば、4個組あるいは6個のスイッチング素子から構成される回路モジュールであってもよい。

(f) 半導体素子6、7を接合した伝熱ベース板3の上方にソース電極を配置
10 した構成に限らず、ドレイン電極又はソースドレイン電極のいずれかを半導体素子の上方に配置した構成としてもよい。この場合、各電極のレイアウトに応じて、半導体装置内部の配線を選択することができる。

(g) 半導体素子6、7を接合した伝熱ベース板3の上方にソース電極のみを配置した構成に限らず、ソース電極、ドレイン電極、およびソースドレイン電
15 極の中の2以上の電極を半導体素子の上方に配置した構成としてもよい。この場合、さらに半導体装置の体躯を小さくできる。

(h) 半導体素子は、MOSFETに限らず、例えばバイポーラトランジスタ若しくはサイリスタなどであってもよい。この場合、回路仕様に応じた半導体素子を用いて半導体装置を構成することができる。また、半導体装置が複数種
20 類の半導体素子を備える構成としてもよい。

(i) 半導体装置内の各部品間をワイヤボンディングにより接続する構成に限らず、半田を利用してワイヤを接続する構成、金属板を接合して接続する構成などの他の構成であってもよい。

(j) 伝熱性部材としての伝熱ベース板は、C-AI以外のセラミックを組成
25 とする材質であってもよい。また、セラミックを組成とした材質に限らず、他

の熱伝導性の高い材質であってもよい。例えば、熱伝導性の高い材質として銅やアルミなどの金属材が挙げられる。

(k) 伝熱性部材は板状の形状に限らなくともよい。例えば、伝熱性部材は、半導体装置外部に向けて伸びるフィンを備えた形状であってもよい。

- 5 (1) 半導体装置は、伝熱性部材を備えた構成に限らず、伝熱性部材を備えることなく樹脂ケースに半導体素子を接合した構成であってもよい。この構成は半導体素子の発熱量が少ない場合に適用可能であり、より少ない手間、コストで半導体素子を製作できる。

(m) 各電極の材質は銅に限定されるものではない。

- 10 (n) 樹脂ケースに代えて、ケースを金属製とし、各電極を絶縁部材を介して金属製のケースに取り付けるようにしてもよい。

(o) 架橋電極は、直線形状である必要はなく、任意の形状でよい。例えば、架橋電極と半導体素子との間のワイヤの距離が最短になるように架橋電極の形状を決めてもよい。

- 15 (p) 架橋電極は、1つである必要はなく、1つの半導体装置に対して複数の架橋電極を設けるようにしてもよい。

(q) 上記ケースは、伝熱ベース板に固定する代わりに、基板に固定するようにしてもよい。

- 20 (r) 半導体素子は、一列または複数列に配列される必要はない。例えば、各電極の形態に応じて、電極と半導体素子との間のワイヤ距離が最短になるように半導体素子の配置を決めるようにしてもよい。

以上詳述したように、本発明によれば、小さな上面寸法の半導体装置を製作できる。

請求の範囲

1. 基板上に搭載される複数の半導体素子と、
前記基板表面に対して直角の方向に、かつ前記半導体素子近傍から離間して
- 5 配置される主電流用電極とを備え、
前記半導体素子のそれぞれと前記主電流用電極が電氣的に接続される半導体装置。
2. 前記半導体素子のそれぞれと前記主電流用電極は、ワイヤ接続にて接続される請求項 1 に記載の半導体装置。
- 10 3. 前記半導体素子は、スイッチング素子である請求項 1 または 2 に記載の半導体装置。
4. 前記半導体装置は、底部に伝熱性部材を備え、熱的に結合して前記半導体素子が該伝熱性部材に直接もしくは間接的に接合されている請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置。
- 15 5. 前記伝熱性部材をセラミック材にて形成した請求項 4 に記載の半導体装置。
6. 前記複数の半導体素子は、一列または複数列に配列される請求項 1 に記載の半導体装置。
7. 1 または複数の半導体素子を含む半導体装置であって、
- 20 上記半導体素子が配置された基板と、
上記半導体素子を取り囲むようにして上記基板に対して固定的な位置に配置されるケースと、
上記半導体素子の主電流のための電極および当該半導体装置と当該半導体装置の外部の回路とを電氣的に接続するための端子が一体的に形成されている金
- 25 属部材とを有し、

上記金属部材は、上記ケースを利用して上記基板から離間した位置に配置される。

8. 上記金属部材は、上記半導体素子またはその半導体素子に接続される配線パターンの上に配置される請求項7に記載の半導体装置。

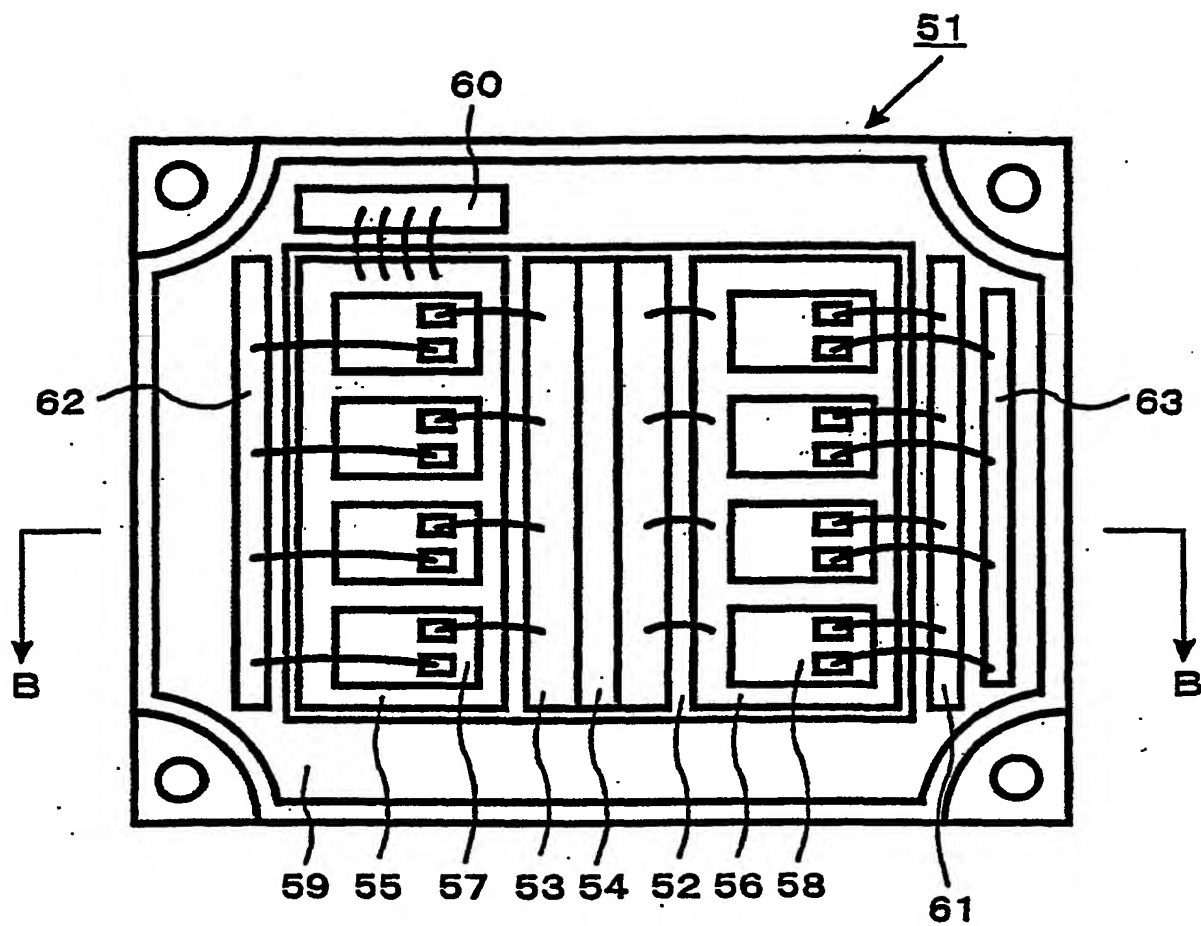
5 9. 上記金属部材と上記半導体装置との間がワイヤボンディングにより電氣的に接続される請求項7に記載の半導体装置。

10. 上記ケースは、上記半導体素子を取り囲む枠部を含み、

上記金属部材が上記ケースの枠部に固定される請求項7に記載の半導体装置。

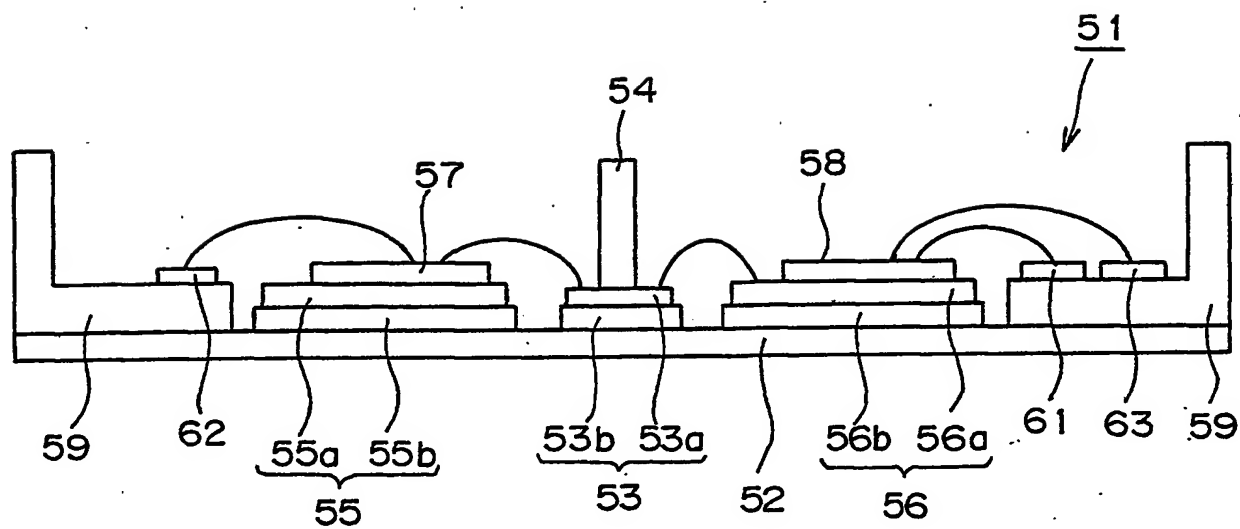
THIS PAGE BLANK (USPTO)

1/9



THIS PAGE BLANK (USPTO)

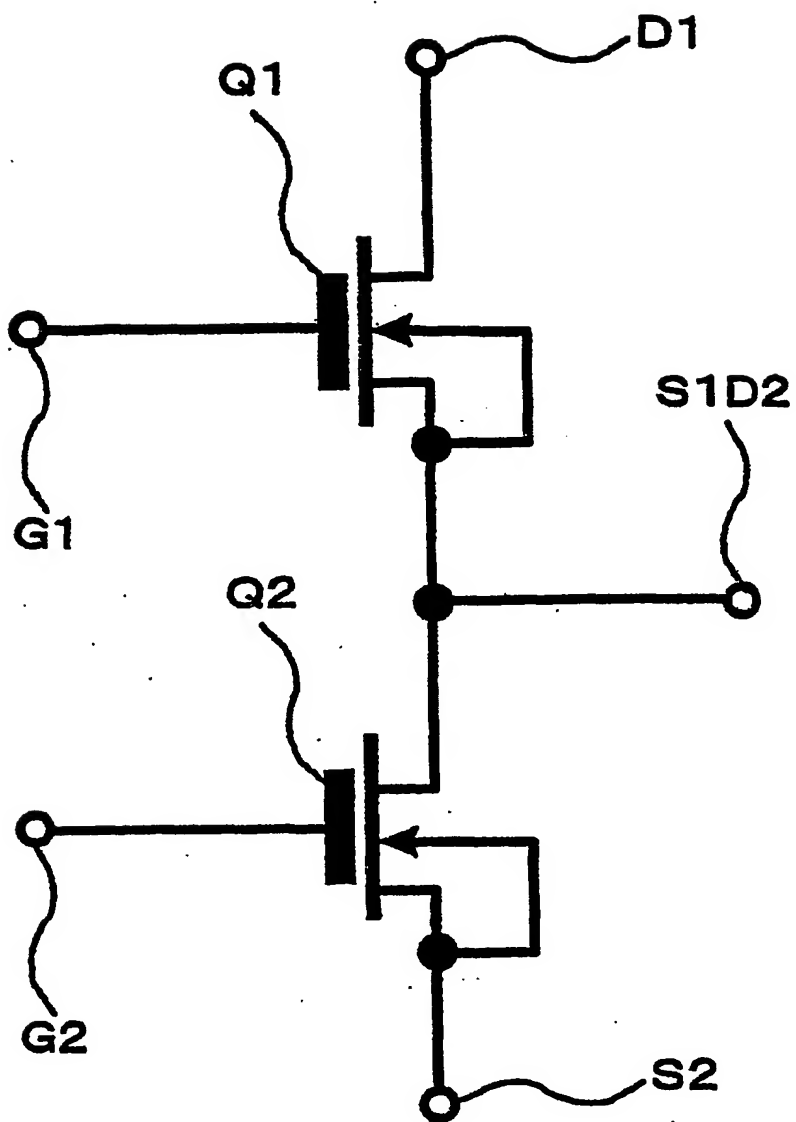
2 / 9



2

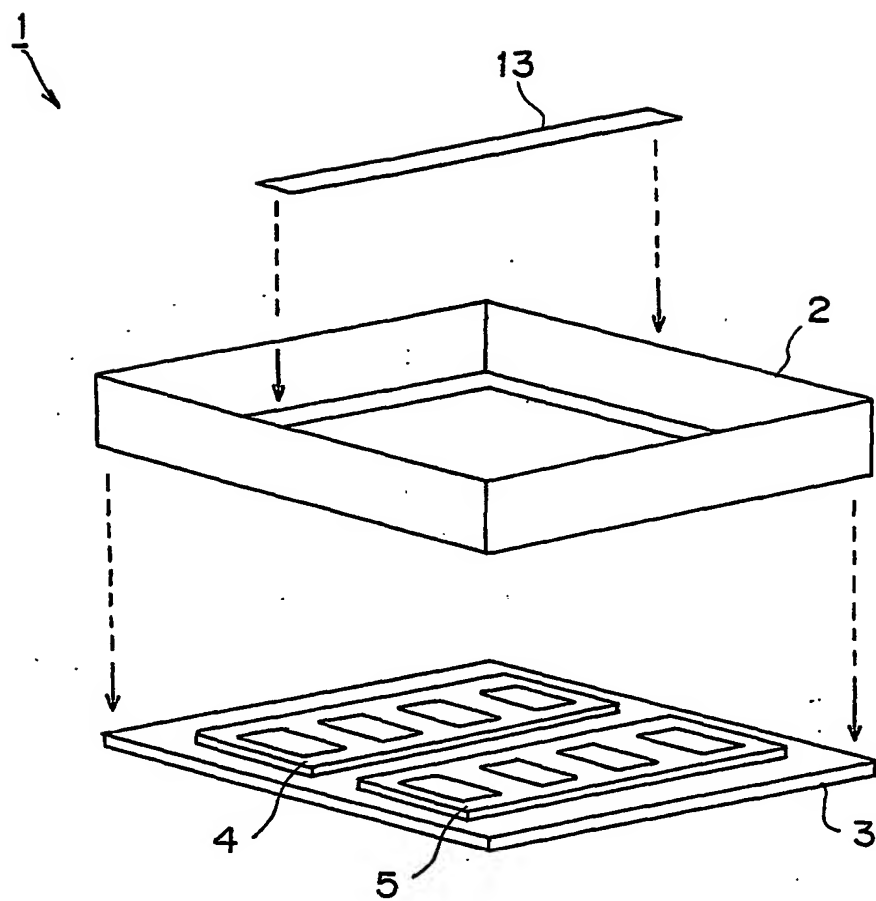
THIS PAGE BLANK (USPTO)

3 / 9



THIS PAGE BLANK (USPTO)

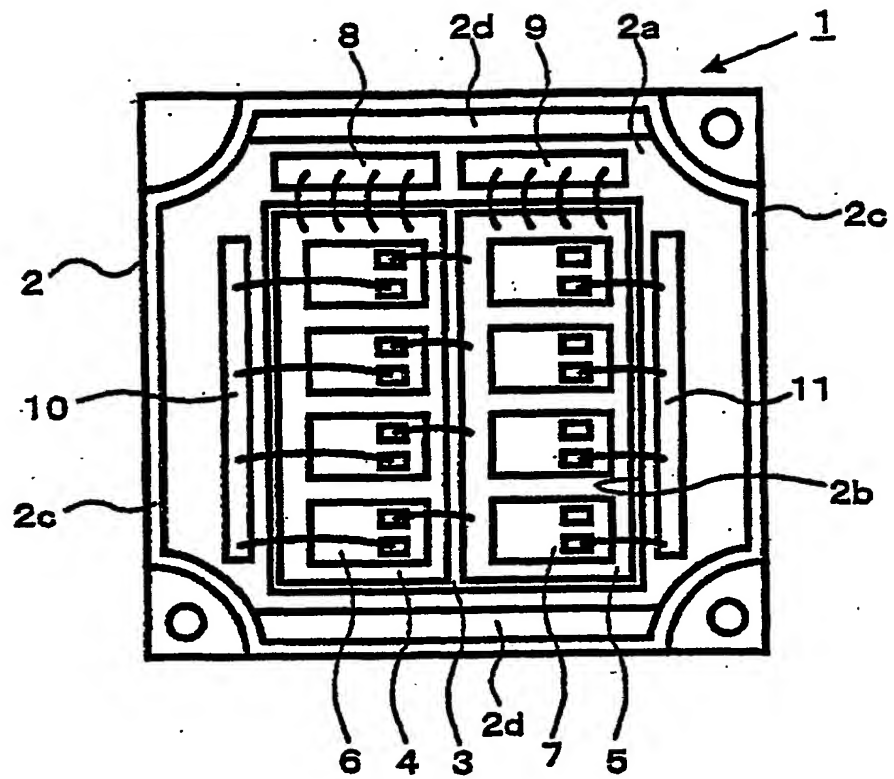
4/9



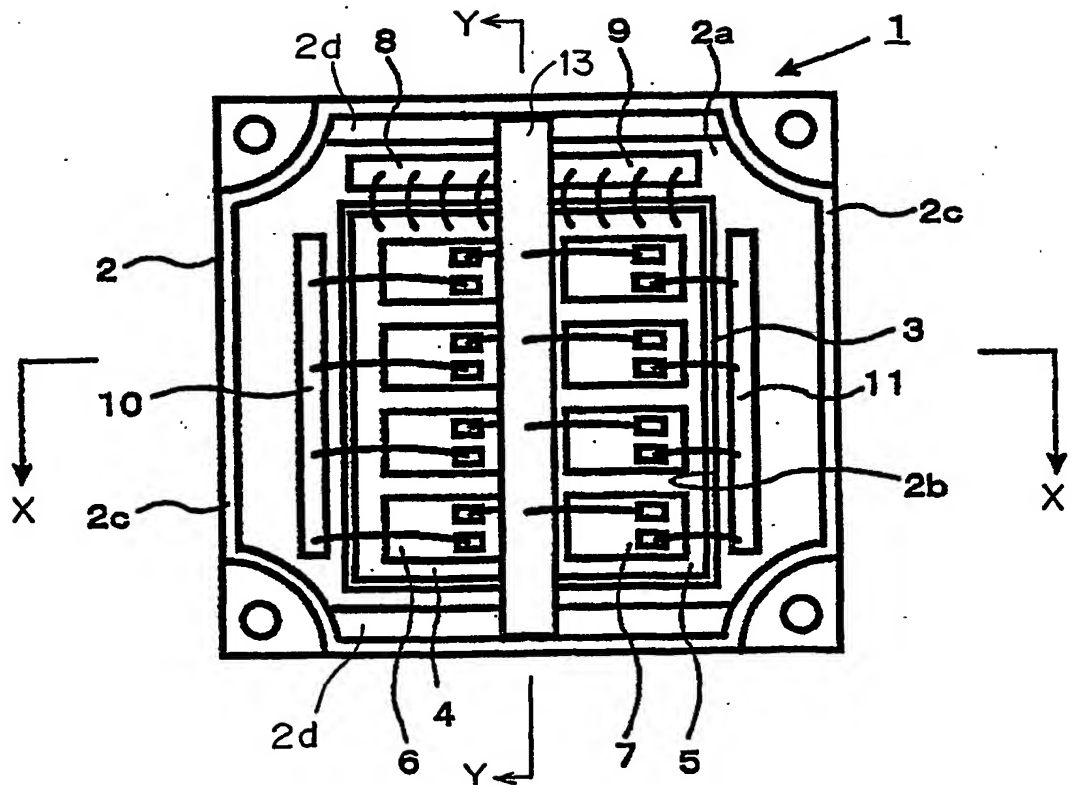
4

THIS PAGE BLANK (USPTO)

5 / 9

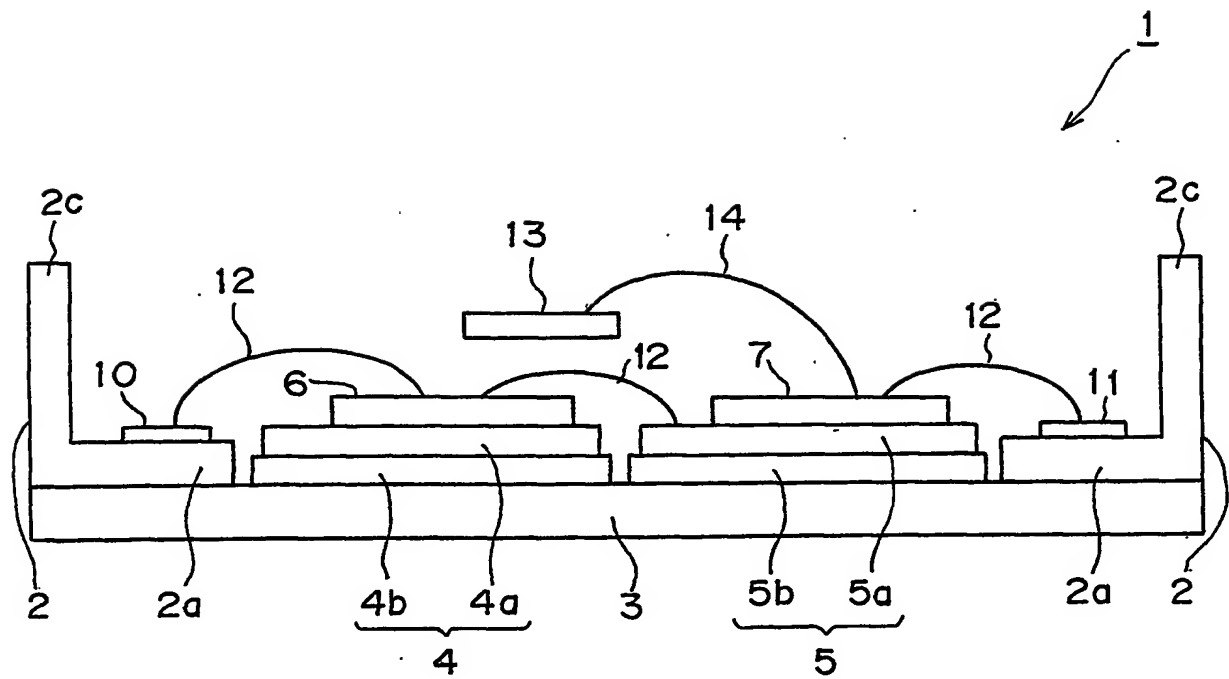


5A



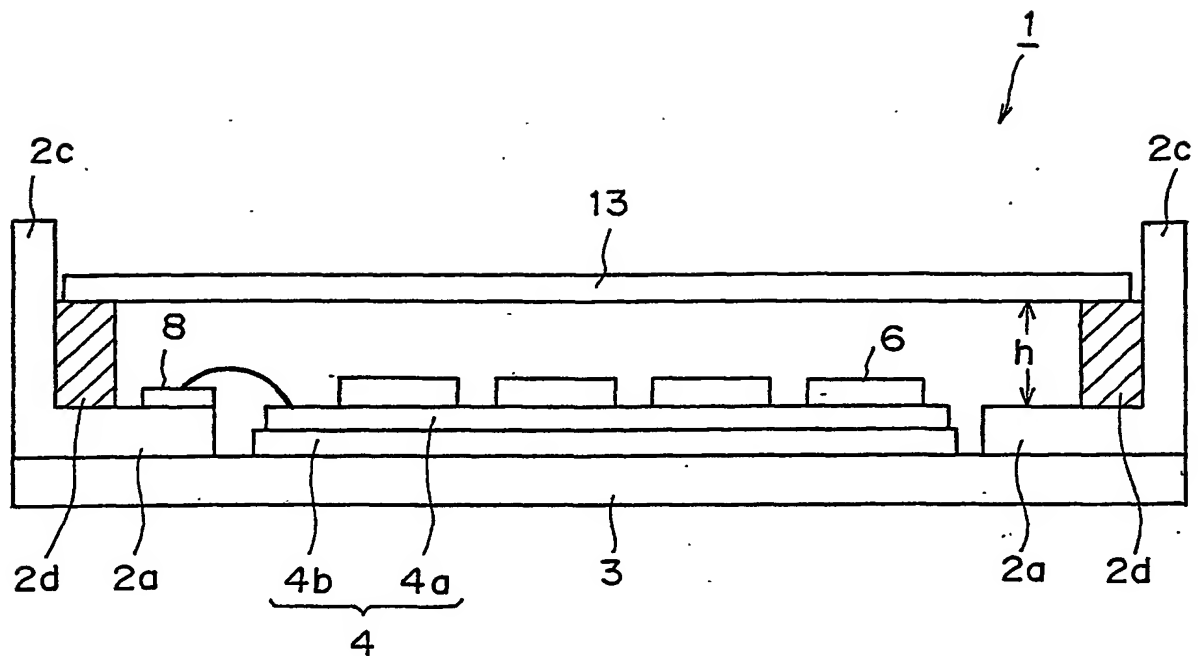
5B

THIS PAGE BLANK (USPTO,

$$\frac{6}{9}$$


THIS PAGE BLANK (USPTO)

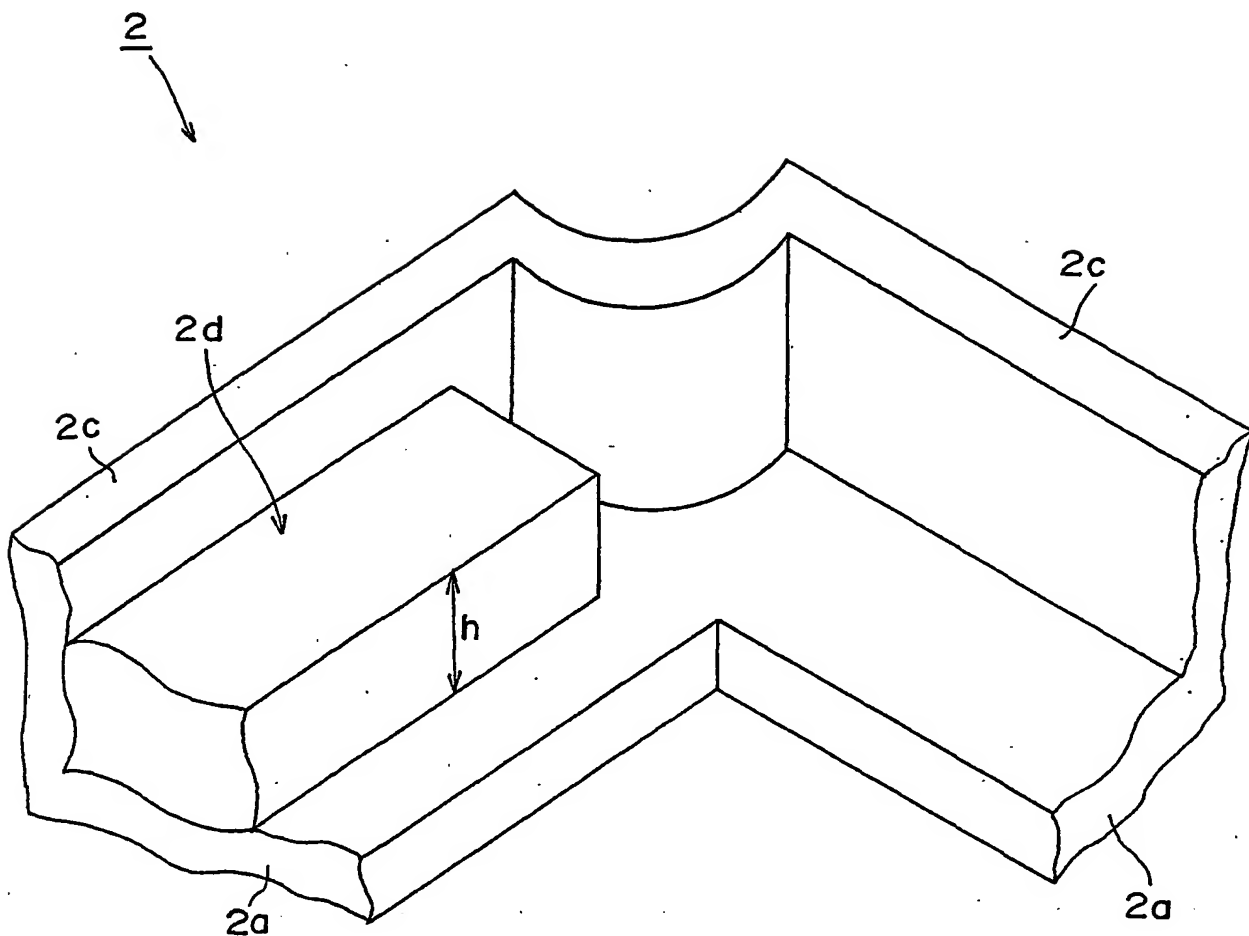
7 / 9



7

THIS PAGE BLANK (USPTO)

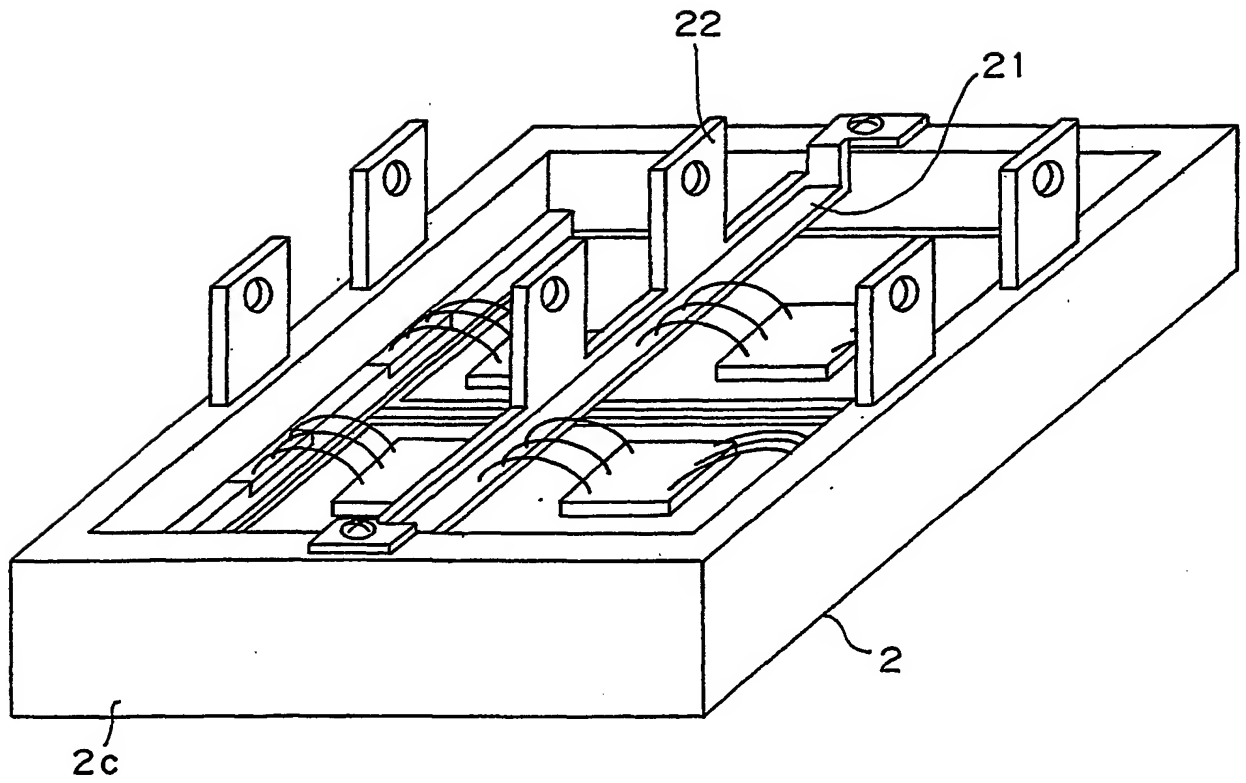
8 / 9



8

THIS PAGE BLANK (USPTO)

9 / 9



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/03524

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L 25/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L 25/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
F-TERM SYSTEM (Japan Patent Office)

WPI/L (Dialog)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 11-74433, A (Toshiba Corporation), 16 March, 1999 (16.03.99), Fig. 1 & US, 6060772, A	1-10
Y	JP, 7-58272, A (Origin Electric Co., Ltd.), 03 March, 1995 (03.03.95), Fig. 1; Par. Nos. [0013] to [0015] (Family: none)	1-10
Y	JP, 10-41460, A (Fuji Electric Co., Ltd.), 13 February, 1998 (13.02.98), Fig. 5; Par. Nos. [0025], [0026] (Family: none)	1-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
27 June, 2001 (27.06.01)

Date of mailing of the international search report
10 July, 2001 (10.07.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L 25/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L 25/04

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

Fターム・システム (Japan Patent Office)

WPI/L (Dialog)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 11-74433, A (株式会社東芝) 16. 3月. 1999 (16. 03. 99) 図1 & US, 6060772, A	1-10
Y	JP, 7-58272, A (オリジン電気株式会社) 3. 3月. 1995 (03. 03. 95) 図1, 公報段落【0013】 - 【0015】 (ファミリーなし)	1-10
Y	JP, 10-41460, A (富士電機株式会社) 13. 2月. 1998 (13. 02. 98) 図5, 公報段落【0025】, 【0026】 (ファミリーなし)	1-10

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

- の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

27. 06. 01

国際調査報告の発送日

10.07.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

川真田 秀男



4R

7220

電話番号 03-3581-1101 内線 3470

THIS PAGE BLANK (USPTO)